

## 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 09 月 02 日  
Application Date

申請案號：092124187  
Application No.

申請人：南亞科技股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2003 年 11 月 12 日  
Issue Date

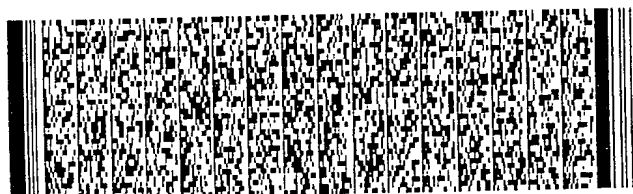
發文字號：03221141800  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

# 發明專利說明書

一、 發明名稱	中文	動態隨機存取記憶體單元陣列及其製造方法
	英文	
二、 發明人 (共4人)	姓名 (中文)	1. 張明成 2. 吳鐵將 3. 陳逸男
	姓名 (英文)	1. Ming-Cheng Chang 2. Tieh-Chiang Wu 3. Yi-Nan Chen
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中文)	1. 桃園縣蘆竹鄉蘆竹村12鄰31號 2. 宜蘭縣三星鄉萬德村93-7號 3. 台北市北投區建民路151巷4號
	住居所 (英文)	1. 2. 3.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 南亞科技股份有限公司
	名稱或 姓名 (英文)	1. Nanya Technology Corporation.
	國籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中文)	1. 桃園縣龜山鄉華亞科技園區復興三路669號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. Hwa-Ya Technology Park 669, Fuhsing 3 Rd., Kueishan, Taoyuan, Taiwan, R.O.C
	代表人 (中文)	1. 連日昌
	代表人 (英文)	1. Jih-Chang Lien



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

# 發明專利說明書

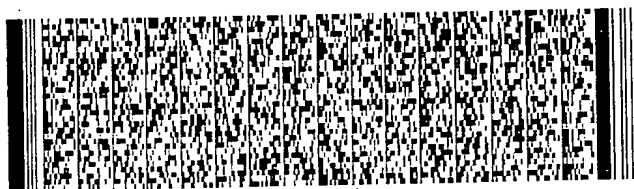
一、 發明名稱	中 文	
	英 文	
二、 發明人 (共4人)	姓 名 (中 文)	4. 林正平
	姓 名 (英 文)	4. Jeng-Ping Lin
	國 籍 (中 英 文)	4. 中華民國 TW
	住居所 (中 文)	4. 桃園縣桃園市國聖二街34號3樓
	住居所 (英 文)	4.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	
	名稱或 姓 名 (英 文)	
	國 籍 (中 英 文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中 文)	
	代表人 (英 文)	



四、中文發明摘要 (發明名稱：動態隨機存取記憶體單元陣列及其製造方法)

一種動態隨機存取記憶體單元陣列，包含有至少兩對閘極導線，係互相平行且沿一第一方向延伸，其中每一對閘極導線包含有一第一、第二閘極導線。一對位元線係沿一第二方向延伸且與該對閘極導線交錯。一第一有效區域係沿該第一方向跨越該第一閘極導線對，且形成於該第一位元線上，一第二有效區域係沿該第一方向跨越該第二閘極導線對，且形成於該第二位元線上。每一個有效區域中包含有：一第一、第二深渠溝，係分別形成於該第一、第二閘極導線下方；一位元線接觸，係形成於該第一、第二閘極導線之間，且與上方對應之該位元線形成電性連接；一共用源/汲極區域，係形成於該第一、第二閘極導線之間，且與該位元線接觸形成電性連接；一第一垂直電晶體，係形成於該第一深渠溝之上方，且包含有一第一埋入帶擴散區域形成於該第一深渠溝之一側壁上；一第二垂直電晶體，係形成於該第二深渠溝之上方，且包含有一第二埋

六、英文發明摘要 (發明名稱：)



四、中文發明摘要 (發明名稱：動態隨機存取記憶體單元陣列及其製造方法)

入帶擴散區域形成於該第二深渠溝之一側壁上。

伍、(一)、本案代表圖為：第3圖。

(二)、本案代表圖之元件代表符號簡單說明：

閘極導線對~ $P_1$ 、 $P_2$ 、 $P_3$ ；

位元線~ $BL_1$ 、 $BL_2$ ；

閘極導線~ $GC_1$ 、 $GC_2$ ；

有效區域~ $AA_1$ 、 $AA_2$ ；

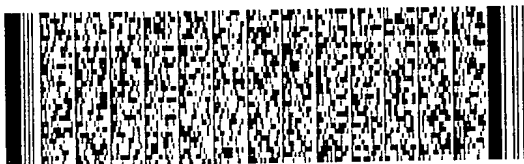
共用的位元線接觸~ $BC$ ；

垂直電晶體~ $T_1$ 、 $T_2$ ；

深渠溝~ $DT_1$ 、 $DT_2$ ；

共用源/汲極區域~ $S/D$ 。

六、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



## 五、發明說明 (1)

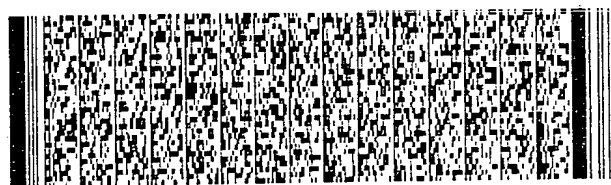
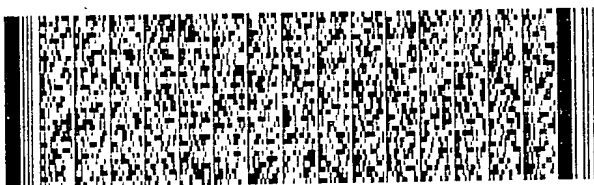
### 【發明所屬之技術領域】

本發明有關於一種半導體元件之記憶單元(memory cell)，特別有關於一種動態隨機存取記憶體(DRAM)單元之深渠溝(deep trench)以及主動區域(active area)之佈局及其製造方法。

### 【先前技術】

動態隨機存取記憶體(dynamic random access memory, DRAM)是由一記憶單元以及一儲存電容器所構成，一般而言，係於半導體基底中製作一深渠溝，並將此儲存電容器製作於深渠溝內，以成為一深渠溝電容器(deep trench capacitor)。依據讀取或寫入之操作，一存取電晶體(access transistor)可以允許電荷儲存於電容器，或回復電容器之儲存電荷。對於埋入帶(buried strap)型式之深渠溝電容器而言，鄰近於字元線之摻質外擴散現象，極易使存取電晶體發生短通道問題，則會使次臨界導電(subthreshold conduction)惡化，進而影響留置時間(retention time)的表現。

第1圖顯示習知深渠溝電容器之佈局示意圖，第2圖乃沿第1圖之切線2-2之剖面示意圖。請參閱第1圖，一有效區域AA係橫跨於四條字元線12之間，且包含有兩個存取電晶體14以及一個共用的位元線接觸22，而一對深渠溝電容器10係設置於有效區域AA之兩端字元線12的下方。深渠電



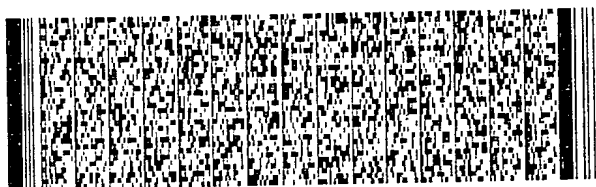
## 五、發明說明 (2)

容器10包含有一儲存電極板16，其可經由一擴散區域18而與存取電晶體14形成電性連接，且擴散區域18可用作為存取電晶體14之一源極/汲極。一擴散區域20係與位元線接觸22形成電性連接，可用作為存取電晶體14之一源極/汲極。位元線接觸22係連接至一位元線，且可經由存取電晶體14而對儲存電極板16進行讀取或寫入之操作。字元線12係用來驅動存取電晶體14，當提供一電壓至字元線12時，可導通字元線12下方之通道區域，則可允許電流通於擴散區域18、20之間，進而流入/流出儲存電極板16。在佈局設計上，係儘量縮小字元線12之間的間距以節省記憶單元面積，而最小的間距單位稱為"F"。

請參閱第2圖，一領型介電(collar dielectric)層26係隔絕兩相鄰之儲存電極板16，一淺溝隔離結構28係製作於儲存電極板16之頂部以隔絕其上方之字元線12。一埋入帶32之摻質係可向外擴散至鄰近的矽基底24中而成為一埋入帶擴散區域30，則埋入帶擴散區域30可提供作為儲存電極板16以及擴散區域18之間的電連接橋樑。不過，若考慮重疊忍受度(overlay tolerance)的影響，常會發生埋入帶擴散區域30之過度擴散的現象，進而影響到閘極36下方的通道區域34，則會使存取電晶體14發生短通道現象。

### 【發明內容】

有鑑於此，本發明的目的就在於提供一種動態隨機存



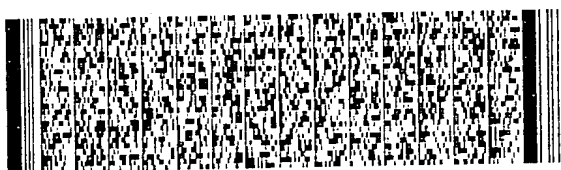


#### 五、發明說明 (3)

取記憶體單元陣列及其製作方法，可以抑制次臨界導電(subthreshold conduction)之惡化現象，進而改善留置時間(retention time)的表現。

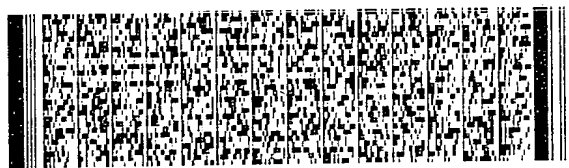
為達成上述目的，本發明提供一種動態隨機存取記憶體單元陣列，包含有至少兩對閘極導線，係互相平行且沿一第一方向延伸，其中每一對閘極導線包含有一第一、第二閘極導線。一對位元線係沿一第二方向延伸且與該對閘極導線交錯。一第一有效區域係沿該第一方向跨越該第一閘極導線對，且形成於該第一位元線上，一第二有效區域係沿該第一方向跨越該第二閘極導線對，且形成於該第二位元線上。每一個有效區域中包含有：一第一、第二深渠溝，係分別形成於該第一、第二閘極導線下方；一位元線接觸，係形成於該第一、第二閘極導線之間，且與上方對應之該位元線形成電性連接；一共用源/汲極區域，係形成於該第一、第二閘極導線之間，且與該位元線接觸形成電性連接；一第一垂直電晶體，係形成於該第一深渠溝之上方，且包含有一第一埋入帶擴散區域形成於該第一深渠溝之一側壁上；一第二垂直電晶體，係形成於該第二深渠溝之上方，且包含有一第二埋入帶擴散區域形成於該第二深渠溝之一側壁上。

為達成上述目的，本發明提供一種動態隨機存取記憶體單元陣列之製作方法，包含有下列步驟：提供一半導體



#### 五、發明說明 (4)

矽基底，其包含有一記憶胞區以及一支援電路區；形成一墊層於該矽基底上，其包含有預定深渠溝之圖案；形成一第一深渠溝以及一第二深渠溝於該記憶胞區之該矽基底內；形成一第一、第二深渠溝電容器於該第一、第二深渠溝之下方區域；形成一領型介電層於該第一、第二深渠溝之側壁上；形成一多晶矽層於該第一、第二深渠溝內；形成一第一、第二埋入帶擴散區域於該第一、第二深渠溝之上方側壁的矽基底內；形成一頂部絕緣層於該第一、第二深渠溝內，以覆蓋該多晶矽層之頂部；形成一抗反射塗層於該第一、第二深渠溝內；形成一第一光阻層，用以定義該記憶胞區之一有效區域之圖案，且用以定義該支援電路區之一淺溝隔離區域的圖案，其中該第一光阻層覆蓋該第一、第二深渠溝之間的區域；去除該第一光阻層以外之該矽基底至一預定深度，以於該第一、第二深渠溝之外側形成一淺溝槽，並同時於該支援電路區形成一淺溝槽；去除該第一光阻層與該抗反射塗層；形成一襯層於上述之半導體矽基底的表面上；形成一第一隔絕層於該淺溝槽內，其中該第一隔絕層之表面高度與該襯層之頂面高度切齊；形成一第二光阻層以覆蓋支援電路區域；去除該記憶胞區域之該第一隔絕層；去除該第二光阻層、該襯層之暴露區域以及該墊層，以使該記憶胞區域之該有效區域之該矽基底凸出於該頂部絕緣層；形成一閘極氧化層於該矽基底之暴露表面上；形成一閘極導線層於該半導體矽基底之整個表面上；形成一第三光阻層，用以覆蓋該第一、第二深渠溝之



## 五、發明說明 (5)

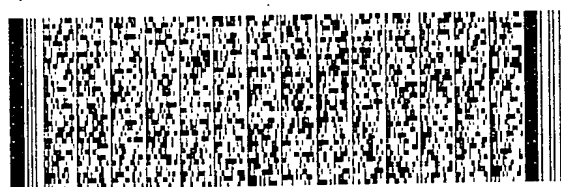
間的有效區域，並同時覆蓋該支援電路區域；去除該第三光阻層以外之閘極導線層，則定義一閘極導線結構於該第一、第二深渠溝之間的上方區域；去除該第三光阻層；形成一第二隔絕層，以填滿該第一、第二深渠溝之外側的淺溝槽，其中該第二隔絕層之表面高度係與該閘極導線結構之頂面高度切齊；以及去除該閘極導線結構之中央區域，並去除其下方之該閘極氧化層直至暴露該矽基底，以形成一第一接觸洞。

### 【實施方式】

為了讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖示，作詳細說明如下：

#### 第一實施例

請參閱第3圖，其顯示本發明第一實施例之深渠溝與有效區域之佈局示意圖。本發明之DRAM單元陣列包含有複數個閘極導線對 $P_1$ 、 $P_2$ 、 $P_3$ 以及複數對位元線 $BL_1$ 、 $BL_2$ ，且每一閘極導線對均包含有互相平行設置之一第一閘極導線 $GC_1$ 以及一第二閘極導線 $GC_2$ 。閘極導線 $GC_1$ 、 $GC_2$ 係沿一第一方向延伸，位元線 $BL_1$ 、 $BL_2$ 係沿一第二方向延伸，且閘極導線 $GC_1$ 、 $GC_2$ 係與位元線 $BL_1$ 、 $BL_2$ 交叉構成複數個DRAM單元。其中，一第一有效區域 $AA_1$ 係設置於第二閘極導線對 $P_1$ 以及第一位元線 $BL_1$ 之交叉區域上，而一第二有效區域 $AA_2$

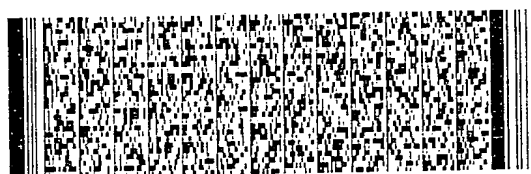


#### 五、發明說明 (6)

係設置第一、第三閘極導線對上 $P_2$ 、 $P_3$ 以及第二位元線 $BL_2$ 之交叉區域上。

對於第一位元線 $BL_1$ 而言，一第一有效區域 $AA_1$ 係沿第一方向跨越第一、第二閘極導線 $GC_1$ 、 $GC_2$ ，且包含有兩個垂直電晶體 $T_1$ 、 $T_2$ 、一個共用的位元線接觸 $BC$ 以及一對深渠溝 $DT_1$ 、 $DT_2$ 。第一垂直電晶體 $T_1$ 係設置於第一深渠溝 $DT_1$ 與第一閘極導線 $GC_1$ 之部份重疊區域內，而第二垂直電晶體 $T_2$ 係設置於第二深渠溝 $DT_2$ 與第二閘極導線 $GC_2$ 之部份重疊區域內。相同地，對於第二位元線 $BL_2$ 而言，一第二有效區域 $AA_2$ 係沿第一方向跨越一對閘極導線 $GC_1$ 、 $GC_2$ ，且包含有兩個垂直電晶體 $T_1$ 、 $T_2$ 、一個共用的位元線接觸 $BC$ 以及一對深渠溝 $DT_1$ 、 $DT_2$ 。第一垂直電晶體 $T_1$ 係設置於第一深渠溝 $DT_1$ 與第一閘極導線 $GC_1$ 之部份重疊區域內，而第二垂直電晶體 $T_2$ 係設置於第二深渠溝 $DT_2$ 與第二閘極導線 $GC_2$ 之部份重疊區域內。

請參閱第4圖，其乃沿第3圖之切線4-4之剖面示意圖。以第一有效區域 $AA_1$ 為例，一半導體矽基底40中製作有一第一深渠溝 $DT_1$ 以及一第二深渠溝 $DT_2$ ，且製作有一淺溝隔離結構 $STI$ 用以隔絕相鄰之有效區域 $AA_1$ 、 $AA_2$ 。第一、第二深渠溝 $DT_1$ 、 $DT_2$ 之下方區域分別製作有一第一、第二深渠溝電容器 $C_1$ 、 $C_2$ 。第一、第二深渠溝 $DT_1$ 、 $DT_2$ 之上方區域單側壁的矽基底40中分別製作有一第一、第二埋入帶擴散



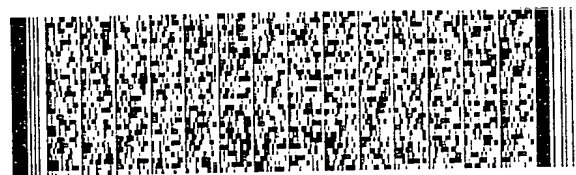
## 五、發明說明 (7)

區域 $BS_1$ 、 $BS_2$ ，其可作為第一、第二垂直電晶體 $T_1$ 、 $T_2$ 之一源/汲極區域，亦可提供為第一、第二深渠溝電容器 $C_1$ 、 $C_2$ 與第一、第二垂直電晶體 $T_1$ 、 $T_2$ 之間的電連接橋樑。一第一、第二閘極導線 $GC_1$ 、 $GC_2$ 係分別設置於第一、第二深渠溝 $DT_1$ 、 $DT_2$ 之頂部的部份區域，用以當作第一、第二垂直電晶體 $T_1$ 、 $T_2$ 之閘極。一共用源/汲極區域 $S/D$ 係形成於第一、第二閘極導層 $GC_1$ 、 $GC_2$ 之間的矽基底40中，則共用源/汲極區域 $S/D$ 以及第一、第二埋入帶擴散區域 $BS_1$ 、 $BS_2$ 之間係分別提供一垂直通道區域。一位元線接觸 $BC$ 係製作於共用源/汲極區域 $S/D$ 上方，且與第一位元線 $BL_1$ 形成電性連接。本發明之垂直電晶體 $T_1$ 、 $T_2$ 以及深渠溝 $DT_1$ 、 $DT_2$ 之佈局與結構，可以抑制次臨界導電(subthreshold conduction)之惡化現象，進而改善留置時間(retention time)的表現。

## 第二實施例

第5圖顯示本發明第二實施例之深渠溝與有效區域之佈局示意圖。第6圖顯示本發明第二實施例之垂直電晶體的立體示意圖。

本發明第二實施例之深渠溝與有效區域之佈局大致與第一實施例相同，相同之處於此省略，不同之處在於深渠溝與閘極導線之重疊區域的輪廓。於第一實施例中，深渠溝與閘極導線之重疊區域處，深渠溝的輪廓係為一邊。相



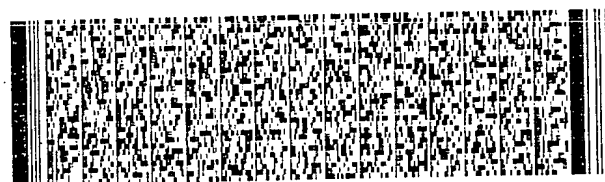
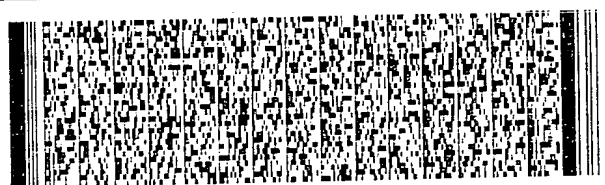
## 五、發明說明 (8)

較之下，於第二實施例中，此重疊區域處之深渠溝的輪廓至少包含有三邊，例如：五邊的輪廓，凸字狀。本發明第二實施例之特徵在於，在一有效區域AA內，第一深渠溝 $DT_1$ 係設置於一部份之第一閘極導線 $GC_1$ 的下方基底內，且此重疊區域之第一深渠溝 $DT_1$ 的輪廓係設計成為一凸字狀。相同地，第二深渠溝 $DT_2$ 係設置於一部份之第二閘極導線 $GC_2$ 的下方基底內，且此重疊區域之第二深渠溝 $DT_2$ 的輪廓係設計成為一凸字狀。此種凸字狀的深渠溝輪廓設計，可以使共用之源/汲極區域S/D以及埋入帶擴散區域BS之間的垂直通道區域成為一多邊的三維設計，則可更進一步改善臨界導電以及留置時間的問題。

### 第三實施例

本發明第三實施例係依據前述之深渠溝與垂直電晶體，提供一較佳之製作方法。第7A~7L圖顯示本發明第三實施例之深渠溝與垂直電晶體之製作方法的剖面示意圖。

首先，如第7A圖所示，提供一半導體矽基底40，其定義有一記憶胞區域I以及一支援電路區域II。以一p型半導體矽基底40為例，藉由一墊層41之圖案以及反應性離子蝕刻(RIE)方法，可於記憶胞區域I之矽基底40內形成一深渠溝DT。然後，於記憶胞區域I之深渠溝DT的下方區域製作一深渠溝電容器42，包含有一下電極板44、一電容介電層46以及一上電極板48。較佳者為：下電極板44係為一 $n^+$ 型

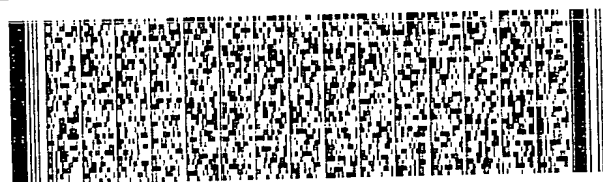
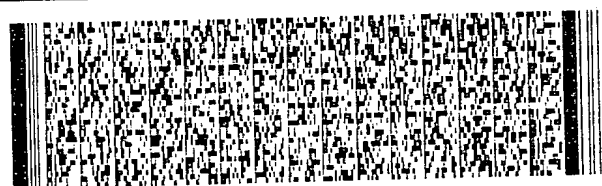


#### 五、發明說明 (9)

擴散區域，一電容介電層46係為一氧化矽-氮化矽-氧化矽 (oxide-nitride-oxide，簡稱ONO) 的疊層結構，上電極板48係為一 $n^+$ 型摻雜之第一多晶矽層。而後，進行一領型介電層製程，分別於深渠溝DT之兩側壁區域上形成一領型介電層50。接著，於深渠溝DT內沉積一 $n^+$ 型摻雜之第二多晶矽層52以及一第三多晶矽層54。後續藉由熱擴散方式，第二多晶矽層52內的 $n^+$ 型摻雜離子可經由無摻雜離子之第三多晶矽層54而擴散至矽基底40中，則可分別於深渠溝DT之兩側壁區域形成一埋入帶擴散區域56。然後，利用沉積與回蝕刻方法，於第三多晶矽層54之表面上形成一頂端絕緣層58。

如第7B圖所示，於深渠溝DT內形成一抗反射塗層60，再利用一第一光阻層62進行微影蝕刻製程，用以定義記憶胞區域I以及支援電路區域II之淺溝隔離區域。結果如第7C圖所示，以第一光阻層62作為罩幕，將暴露之墊層41以及矽基底40去除以形成一淺溝槽63，則定義完成記憶胞區域I之有效區域AA。後續將抗反射塗層60以及第一光阻層62去除。

如第7D圖所示，於上述之矽基底40的整個表面上順應性地沉積一氮化矽襯層64，再沉積一第一高密度電漿 (high density plasma，HDP) 氧化矽層66以填滿淺溝槽63，後續利用化學機械研磨 (chemical mechanical

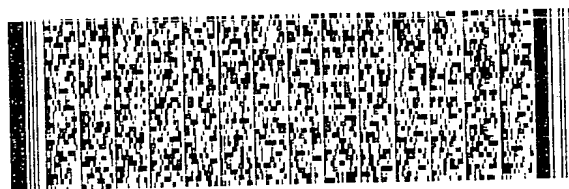
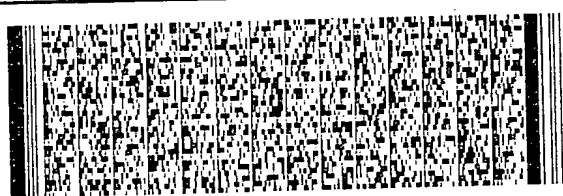


#### 五、發明說明 (10)

polish, CMP) 方法將第一HDP氧化矽層66之表面高度切齊於墊層41上方之氮化矽襯層64。接著，如第7E圖所示，提供一第二光阻層68以覆蓋支援電路區域II，然後對記憶體胞區域I進行蝕刻製程，利用氮化矽襯層64作為一蝕刻停止層，將記憶體胞區域I之第一HDP氧化矽層66去除。後續將第二光阻層68移除。如第7F圖所示，依序將氮化矽襯層64以及墊層41去除，再於矽基底40的整個表面上形成一犧牲氧化層，以進行記憶體胞區域I與支援電路區域II之離子佈植製程，用以調整其臨界電壓值。

如第7G圖所示，將上述之犧牲氧化層去除之後，利用熱氧化方法於矽基底40之暴露表面上成長一閘極氧化層70。然後，如第7H圖所示，於矽基底40的整個表面上依序形成一閘極多晶矽層72、一金屬矽化層74(例如：WSi層)以及一氮化矽蓋層76，後續利用一第三光阻層78作為罩幕以進行蝕刻製程，則可將記憶體胞區域I之閘極多晶矽層72、金屬矽化層74以及氮化矽蓋層76定義成為一閘極導線GC的圖案。其中，閘極導線GC的圖案僅覆蓋兩相鄰深渠溝DT頂部之一部份區域。

如第7I圖所示，將第三光阻層78去除之後，沉積一第二HDP氧化矽層80，用以填滿記憶體胞區域I之有效區域AA以外的淺溝槽63，而後利用CMP方法將第二HDP氧化矽層80之高度切齊於閘極導線GC之頂面高度。接著，如第7J圖所



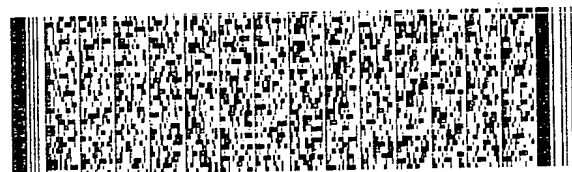
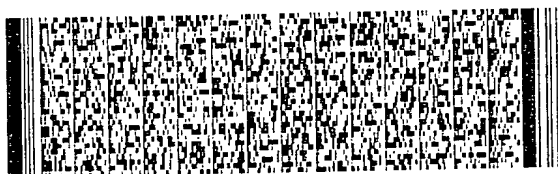


#### 五、發明說明 (11)

示，利用微影蝕刻製程，將記憶胞區域I之有效區域AA之一部份閘極導線結構GC與閘極氧化層70去除，以形成一第一接觸洞82I。

爾後，如第7K圖所示，於第一接觸洞82I內之閘極導線GC的側壁製作一氮化矽側壁子84，再對第一接觸洞82I內進行一離子佈值製程，以於矽基底40之暴露處形成一源/汲極擴散區域86。隨後，進行一硼磷矽玻璃(BPSG)層88之沉積與CMP製程，再進行一TEOS氧化矽層90之沉積與退火製程。然後，利用微影蝕刻製程定義出一第二接觸洞82II的圖案，其乃暴露第一接觸洞82I以及源/汲極擴散區域86。最後，如第7L圖所示，於第二接觸洞82II內填入一多晶矽接觸層92，再於多晶矽接觸層92上進行一W/TiN/Ti層94之沉積與CMP製程，便可其上定義製作一位元線96。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



#### 圖式簡單說明

第1圖顯示習知深渠溝電容器之佈局示意圖。

第2圖乃沿第1圖之切線2-2之剖面示意圖。

第3圖顯示本發明第一實施例之深渠溝與有效區域之佈局示意圖。

第4圖乃沿第3圖之切線4-4之剖面示意圖。

第5圖顯示本發明第二實施例之深渠溝與有效區域之佈局示意圖。

第6圖顯示本發明第二實施例之垂直電晶體的立體示意圖。

第7A~7L圖顯示本發明第三實施例之深渠溝與垂直電晶體之製作方法的剖面示意圖。

#### 【符號說明】

##### 習知技術：

深渠溝電容器~10；

字元線~12；

存取電晶體~14；

儲存電極板~16；

擴散區域~18、20；

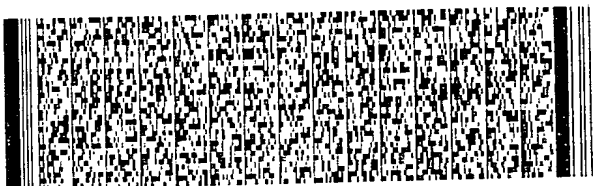
共用的位元線接觸~22；

矽基底~24；

領型介電層~26；

淺溝隔離結構~28；

埋入帶擴散區域~30；



圖式簡單說明

埋入帶~32；

通道區域~34。

本發明技術：

閘極導線對~ $P_1$ 、 $P_2$ 、 $P_3$ ；

位元線~ $BL_1$ 、 $BL_2$ ；

閘極導線~ $GC_1$ 、 $GC_2$ ；

有效區域~ $AA_1$ 、 $AA_2$ ；

共用的位元線接觸~BC；

垂直電晶體~ $T_1$ 、 $T_2$ ；

深渠溝~ $DT_1$ 、 $DT_2$ ；

埋入帶擴散區域~ $BS_1$ 、 $BS_2$ ；

深渠溝電容器~ $C_1$ 、 $C_2$ ；

共用源/汲極區域~S/D；

半導體矽基底~40；

墊層~41；

記憶胞區域~I；

支援電路區域~II；

深渠溝~DT；

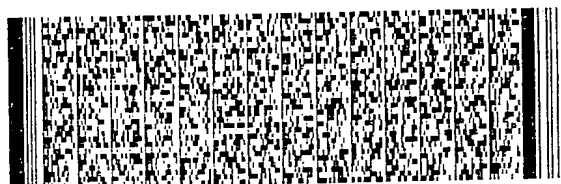
深渠溝電容器~42；

下電極板~44；

電容介電層~46；

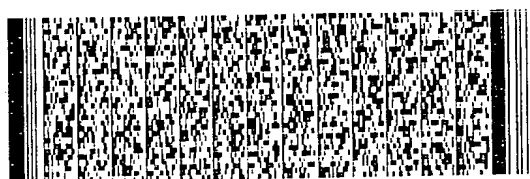
上電極板~48；

領型介電層~50；



圖式簡單說明

第二多晶矽層~52 ;  
第三多晶矽層~54 ;  
埋入帶擴散區域~56 ;  
頂端絕緣層~58 ;  
抗反射塗層~60 ;  
第一光阻層~62 ;  
淺溝槽~63 ;  
氮化矽襯層~64 ;  
第一HDP氧化矽層~66 ;  
第二光阻層~68 ;  
閘極氧化層~70 ;  
閘極多晶矽層~72 ;  
金屬矽化層~74 ;  
氮化矽蓋層~76 ;  
第三光阻層~78 ;  
閘極導線~GC ;  
第二HDP氧化矽層~80 ;  
第一接觸洞~82I ;  
第二接觸洞~82II ;  
氮化矽側壁子~84 ;  
源/汲極擴散區域~86 ;  
硼磷矽玻璃層~88 ;  
TEOS氧化矽層~90 ;  
多晶矽接觸層~92 ;



圖式簡單說明

W/TiN/Ti 層~94 ;

位元線~96。



## 六、申請專利範圍

1. 一種動態隨機存取記憶體單元陣列，包含有：

至少兩個閘極導線對，係互相平行且沿一第一方向延伸，其中每一個閘極導線對包含有一第一閘極導線以及一第二閘極導線；

至少一對位元線，係沿一第二方向延伸且與該對閘極導線交錯，其中該對位元線包含有一第一位元線以及一第二位元線；

一第一有效區域，係沿該第一方向跨越該第一閘極導線對，且形成於該第一位元線上；以及

一第二有效區域，係沿該第一方向跨越該第二閘極導線對，且形成於該第二位元線上；

其中，每一個有效區域中包含有：

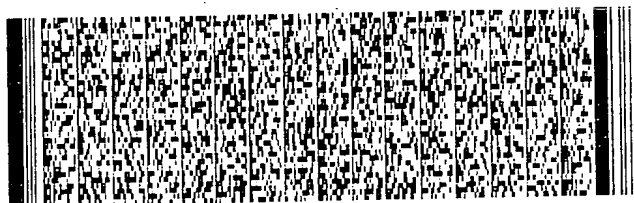
一第一、第二深渠溝，係分別形成於該第一、第二閘極導線下方之一基底中；

一位元線接觸，係形成於該第一、第二閘極導線之間，且與上方對應之該位元線形成電性連接；

一共用源/汲極區域，係形成於該第一、第二閘極導線之間的該基底中，且與該位元線接觸形成電性連接；

一第一垂直電晶體，係形成於該第一深渠溝之上方，且包含有一第一埋入帶擴散區域形成於該第一深渠溝之一側壁的該基底中；以及

一第二垂直電晶體，係形成於該第二深渠溝之上方，且包含有一第二埋入帶擴散區域形成於該第二深渠溝之一側壁的該基底中。



## 六、申請專利範圍

2. 如申請專利範圍第1項所述之動態隨機存取記憶體單元陣列，其中該第一深渠溝與該第一閘極導線之部份重疊區域的輪廓為單邊。

3. 如申請專利範圍第1項所述之動態隨機存取記憶體單元陣列，其中該第二深渠溝與該第二閘極導線之部份重疊區域的輪廓為單邊。

4. 如申請專利範圍第1項所述之動態隨機存取記憶體單元陣列，其中該第一深渠溝與該第一閘極導線之部份重疊區域的輪廓包含有至少三邊。

5. 如申請專利範圍第4項所述之動態隨機存取記憶體單元陣列，其中該第一深渠溝與該第一閘極導線之部份重疊區域的輪廓係為一凸字狀。

6. 如申請專利範圍第1項所述之動態隨機存取記憶體單元陣列，其中該第二深渠溝與該第二閘極導線之部份重疊區域的輪廓包含有至少三邊。

7. 如申請專利範圍第6項所述之動態隨機存取記憶體單元陣列，其中該第二深渠溝與該第二閘極導線之部份重疊區域的輪廓係為一凸字狀。

8. 如申請專利範圍第1項所述之動態隨機存取記憶體單元陣列，其中該第一深渠溝之下方區域係為一深渠溝電容器。

9. 如申請專利範圍第1項所述之動態隨機存取記憶體單元陣列，其中該第二深渠溝之下方區域係為一深渠溝電容器。



六、申請專利範圍

10. 一種動態隨機存取記憶體單元陣列之製作方法，

包含有下列步驟：

提供一半導體矽基底，其包含有一記憶胞區以及一支援電路區；

形成一墊層於該矽基底上，其包含有預定深渠溝之圖案；

形成一第一深渠溝以及一第二深渠溝於該記憶胞區之該矽基底內；

形成一第一、第二深渠溝電容器於該第一、第二深渠溝之下方區域；

形成一領型介電層於該第一、第二深渠溝之側壁上；

形成一多晶矽層於該第一、第二深渠溝內；

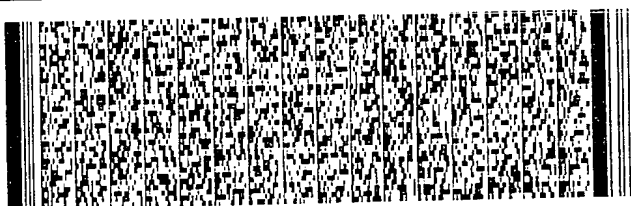
形成一第一、第二埋入帶擴散區域於該第一、第二深渠溝之上方側壁的矽基底內；

形成一頂部絕緣層於該第一、第二深渠溝內，以覆蓋該多晶矽層之頂部；

形成一抗反射塗層於該第一、第二深渠溝內；

形成一第一光阻層，用以定義該記憶胞區之一有效區域之圖案，且用以定義該支援電路區之一淺溝隔離區域的圖案，其中該第一光阻層覆蓋該第一、第二深渠溝之間的區域；

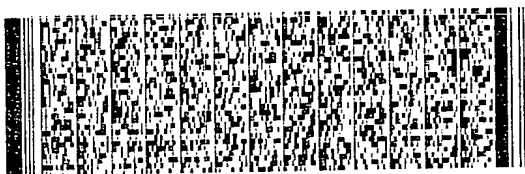
去除該第一光阻層以外之該矽基底至一預定深度，以於該第一、第二深渠溝之外側形成一淺溝槽，並同時於該支援電路區形成一淺溝槽；





## 六、申請專利範圍

去除該第一光阻層與該抗反射塗層；  
形成一襯層於上述之半導體矽基底之表面上；  
形成一第一隔絕層於該淺溝槽內，其中該第一隔絕層之表面高度與該襯層之頂面高度切齊；  
形成一第二光阻層以覆蓋支援電路區域；  
去除該記憶胞區域之該第一隔絕層；  
去除該第二光阻層、該襯層之暴露區域以及該墊層，以使該記憶胞區域之該有效區域之該矽基底凸出於該頂部絕緣層；  
形成一閘極氧化層於該矽基底之暴露表面上；  
形成一閘極導線層於該半導體矽基底之整個表面上；  
形成一第三光阻層，用以覆蓋該第一、第二深渠溝之間的有效區域，並同時覆蓋該支援電路區域；  
去除該第三光阻層以外之閘極導線層，則定義一閘極導線結構於該第一、第二深渠溝之間的上方區域；  
去除該第三光阻層；  
形成一第二隔絕層，以填滿該第一、第二深渠溝之外側的淺溝槽，其中該第二隔絕層之表面高度係與該閘極導線結構之頂面高度切齊；以及  
去除該閘極導線結構之中央區域，並去除其下方之該閘極氧化層直至暴露該矽基底，以形成一第一接觸洞。  
11. 如申請專利範圍第10項所述之動態隨機存取記憶體單元陣列之製作方法，另包含有下列步驟：  
形成一側壁子於該接觸洞內之該閘極導線結構之側壁



## 六、申請專利範圍

上；

形成一共用源/汲極擴散區域於該第一接觸洞內之該矽基底中；

形成一第一層間絕緣層以及一第二層間絕緣層於該半導體矽基底之表面上；

去除部份之該第二層間絕緣層以及該第一層間絕緣層以形成一第二接觸洞，其中該第二接觸洞係暴露該第一接觸洞以及該共用源/汲極擴散區域；

形成一接觸層於該第二接觸洞內；以及

形成一位元線於該第二層間絕緣層上，且與該接觸層形成電性連接。

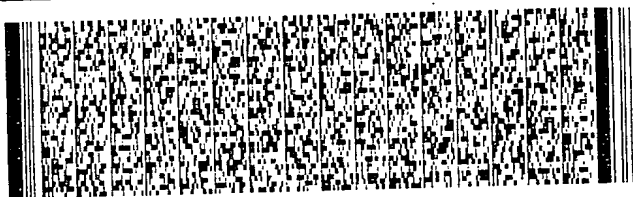
12. 如申請專利範圍第10項所述之動態隨機存取記憶體單元陣列之製作方法，其中該襯層係為一氮化矽層。

13. 如申請專利範圍第10項所述之動態隨機存取記憶體單元陣列之製作方法，其中該第一隔絕層係為一高密度電漿(HDP)氧氮化矽層。

14. 如申請專利範圍第10項所述之動態隨機存取記憶體單元陣列之製作方法，其中該閘極導線層包含有一多晶矽層、一金屬矽化層以及一氮化矽蓋層。

15. 如申請專利範圍第10項所述之動態隨機存取記憶體單元陣列之製作方法，其中該第二隔絕層係為一高密度電漿(HDP)氧氮化矽層。

16. 如申請專利範圍第11項所述之動態隨機存取記憶體單元陣列之製作方法，其中該側壁子係為一氮化矽層。

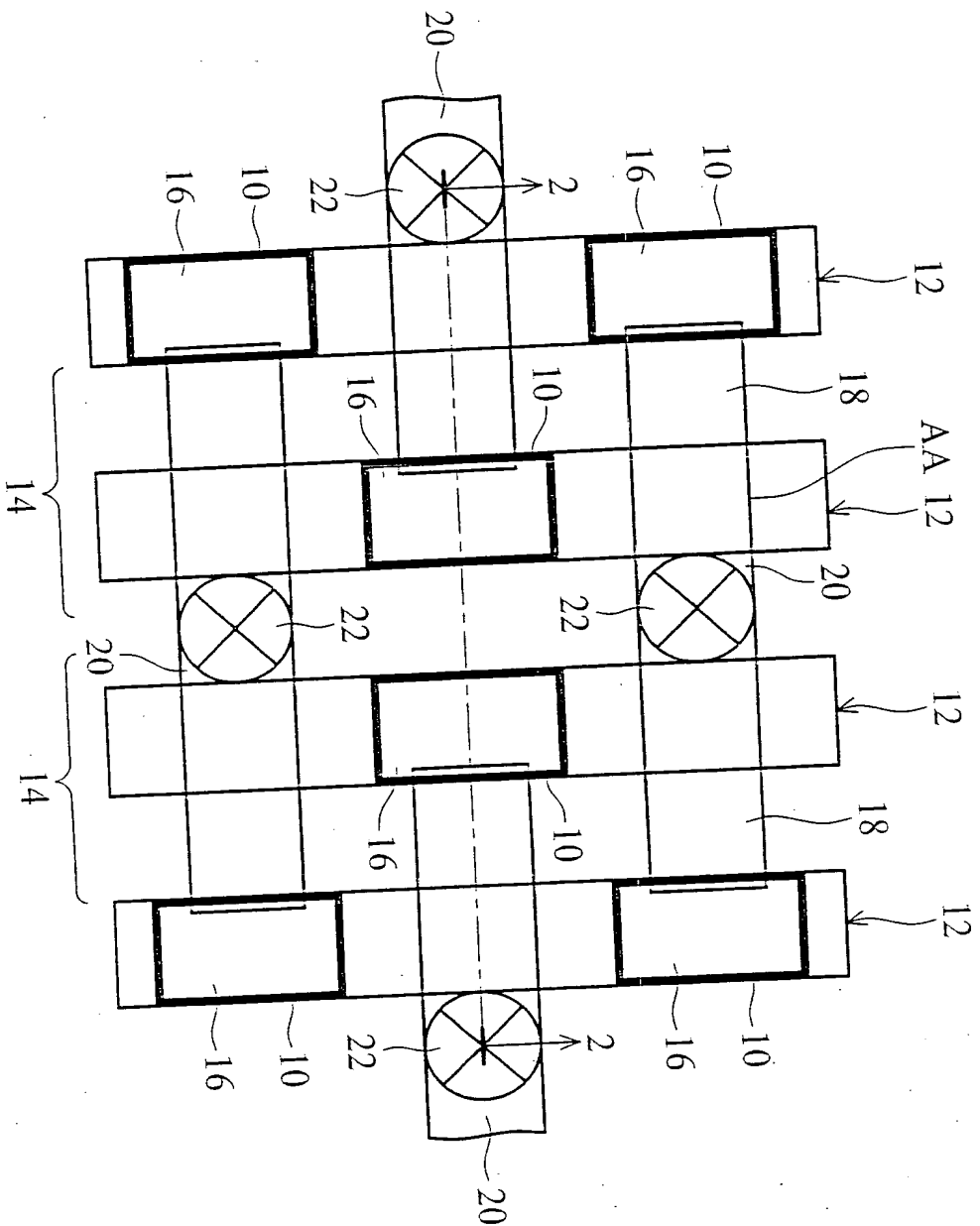


六、申請專利範圍

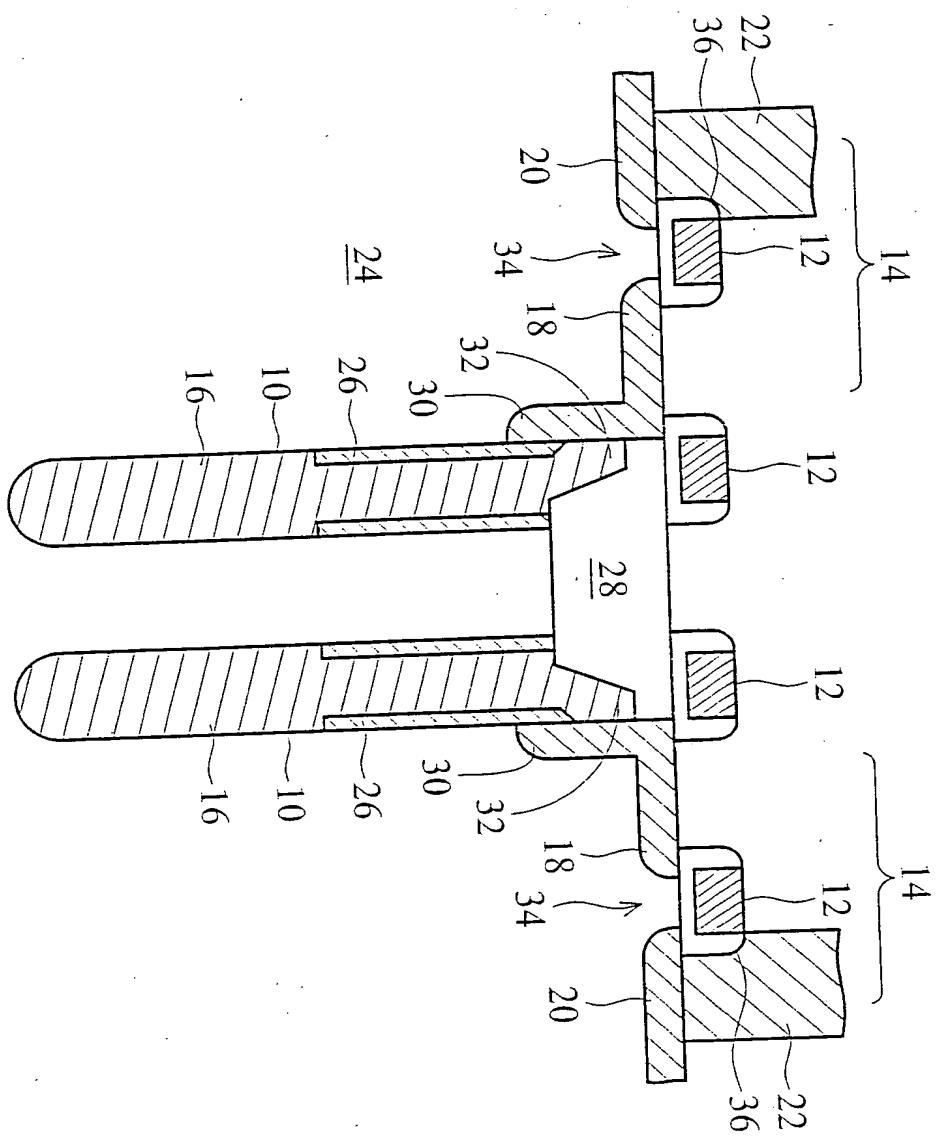
17. 如申請專利範圍第11項所述之動態隨機存取記憶體單元陣列之製作方法，其中該第一層間絕緣層係為一硼磷矽玻璃(BPSG)層。

18. 如申請專利範圍第11項所述之動態隨機存取記憶體單元陣列之製作方法，其中該第二層間絕緣層係為一TEOS氧化矽層。

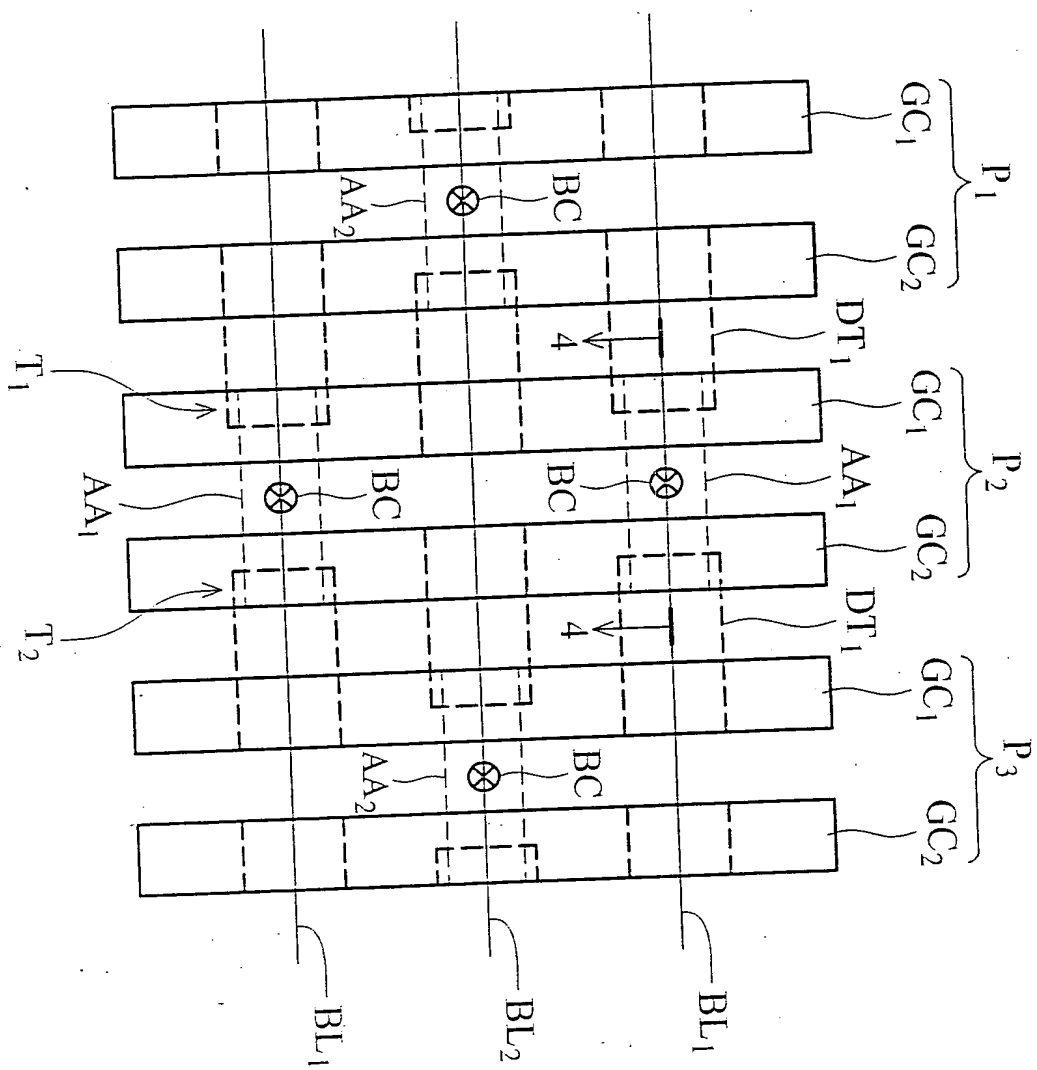




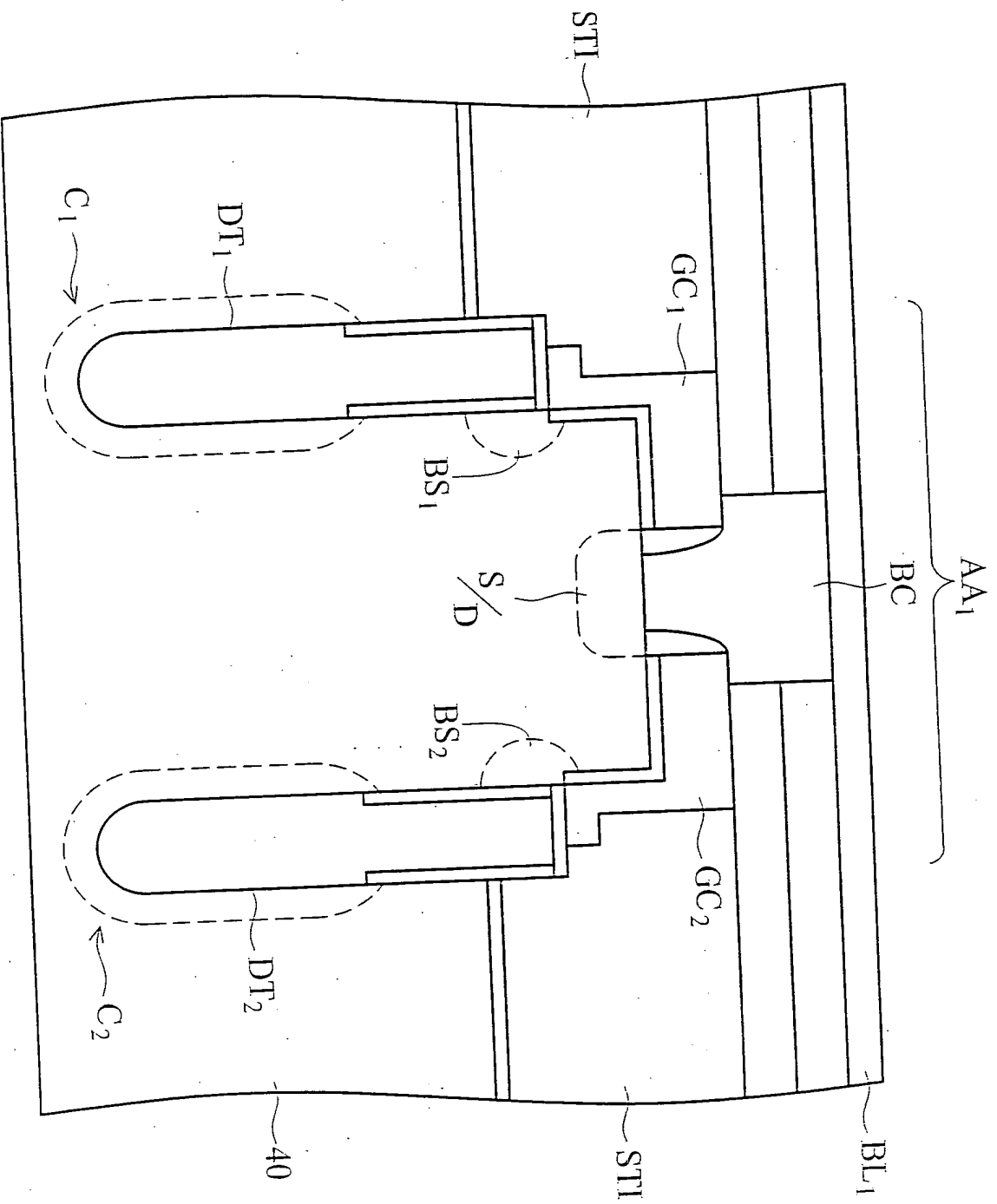
第1圖



第 2 圖



第 3 圖

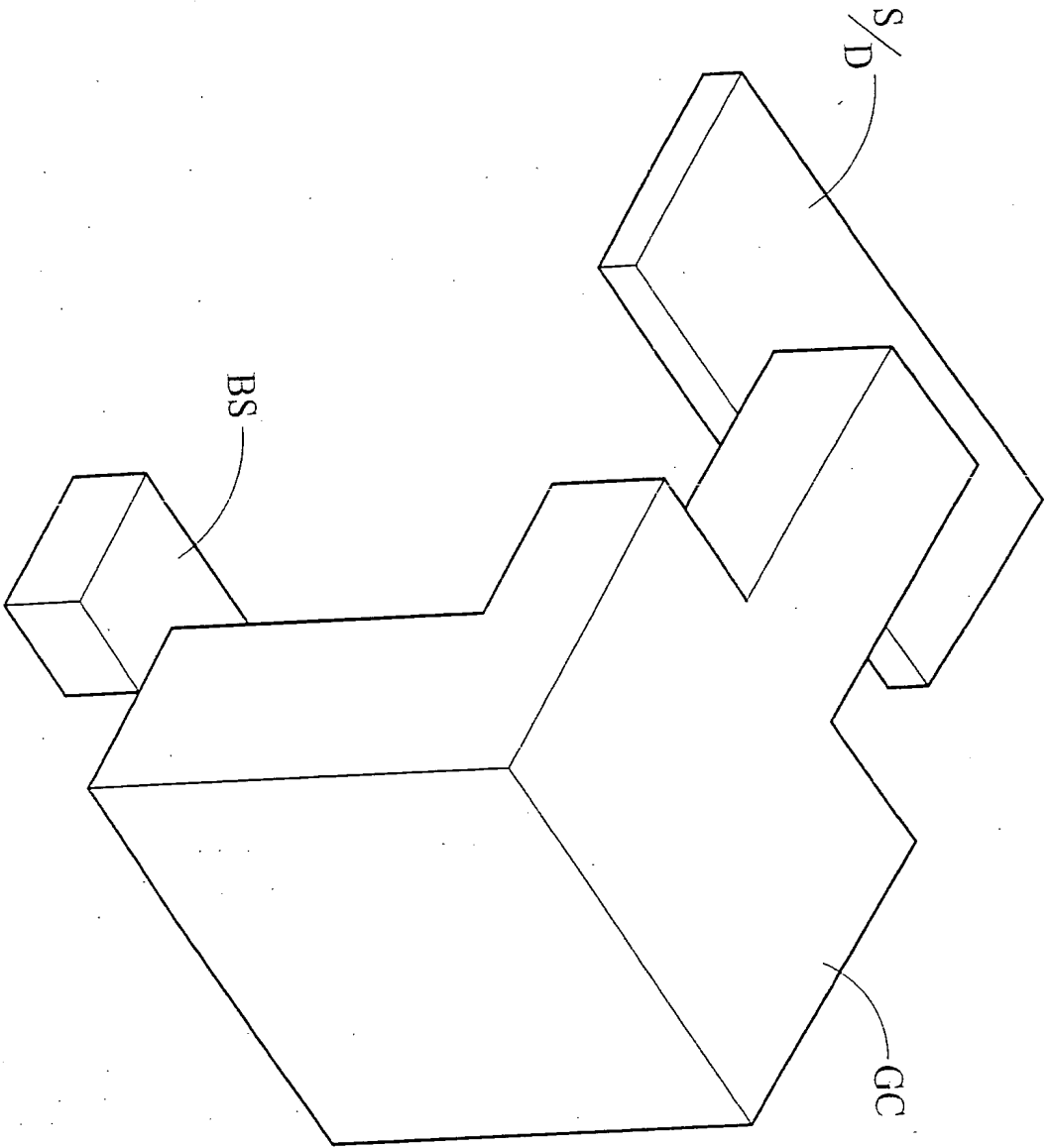


第 4 圖

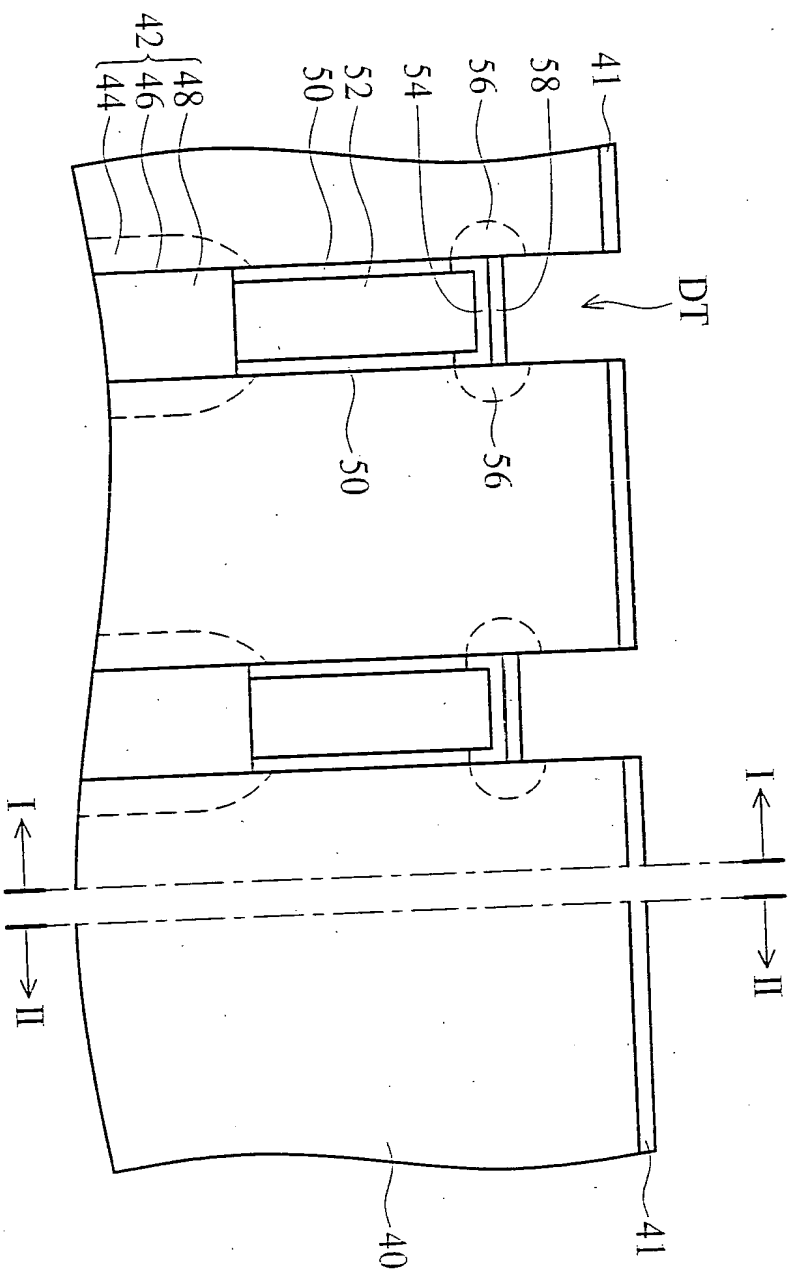


樂 5 回

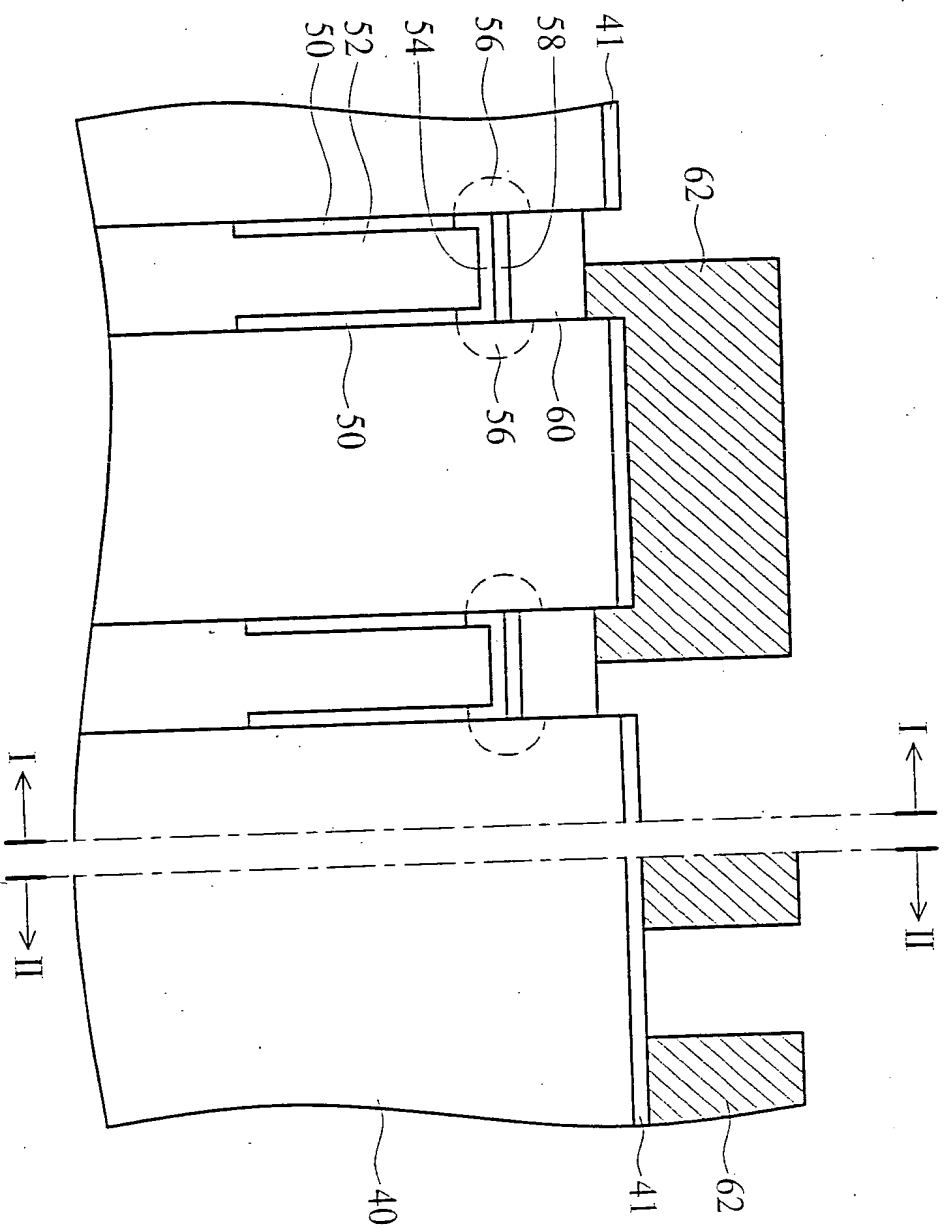




第 6 圖



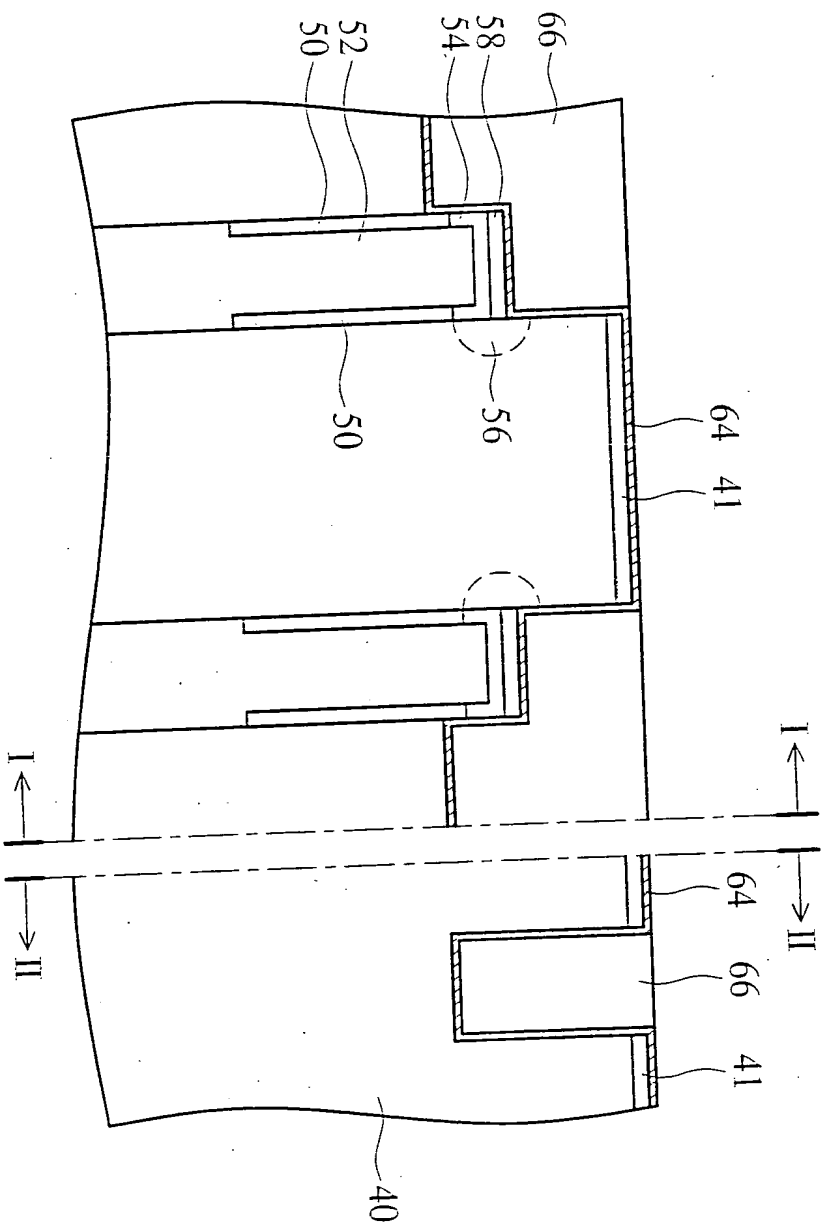
第7A圖



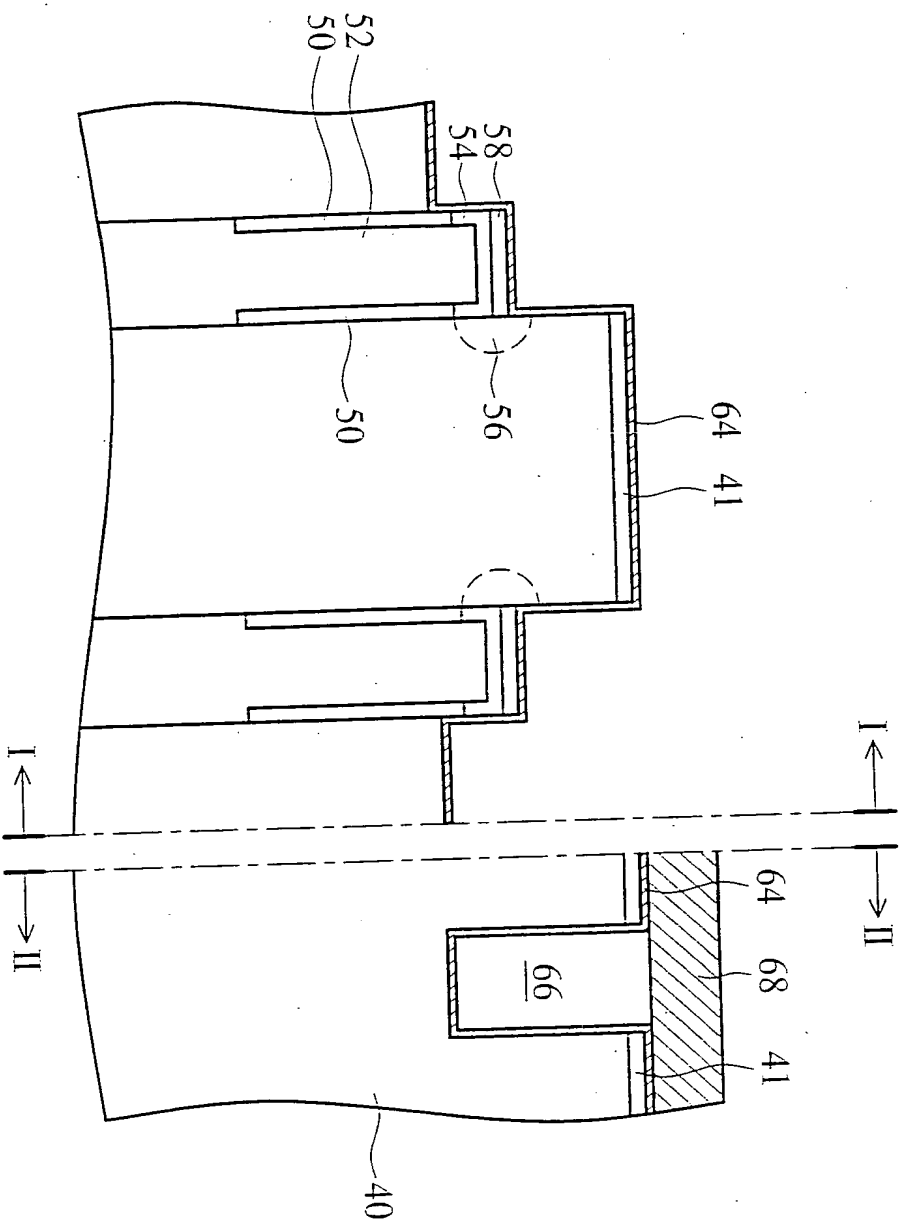
第7B圖



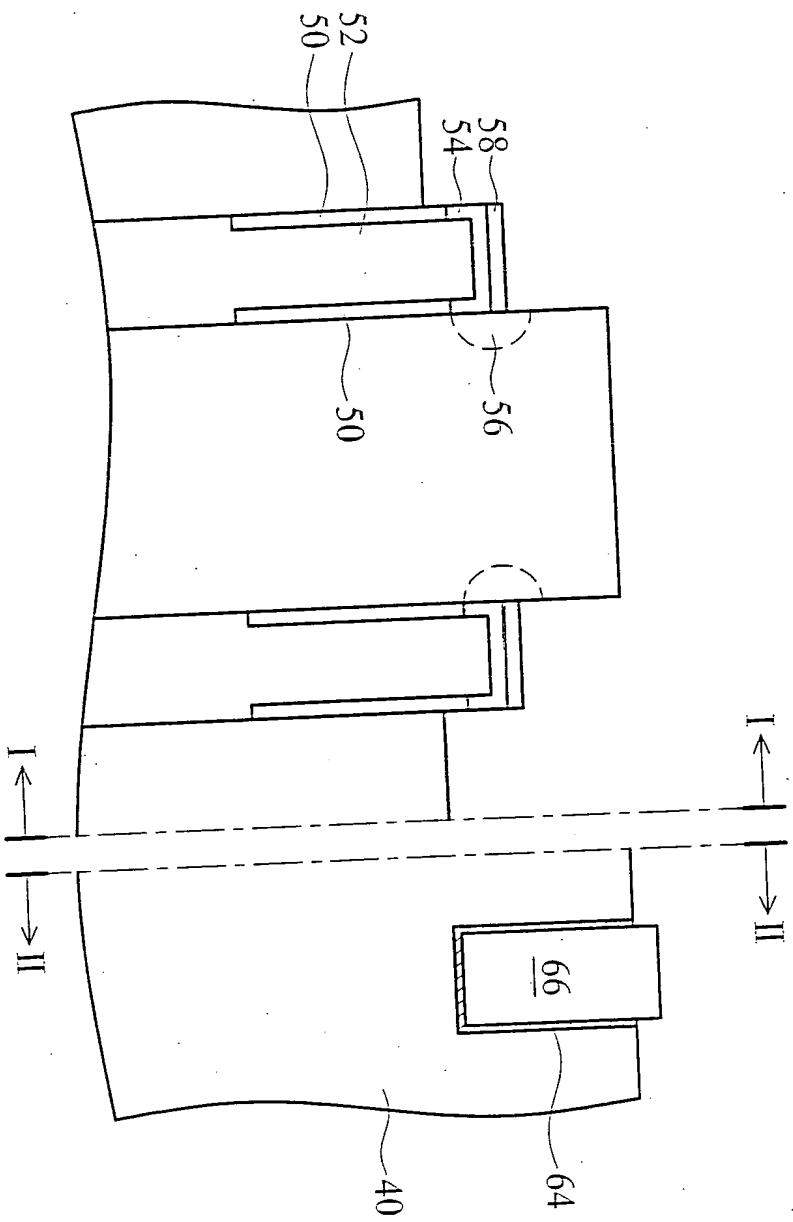
圖 7C 第



第7D圖



第7E圖



第7F圖

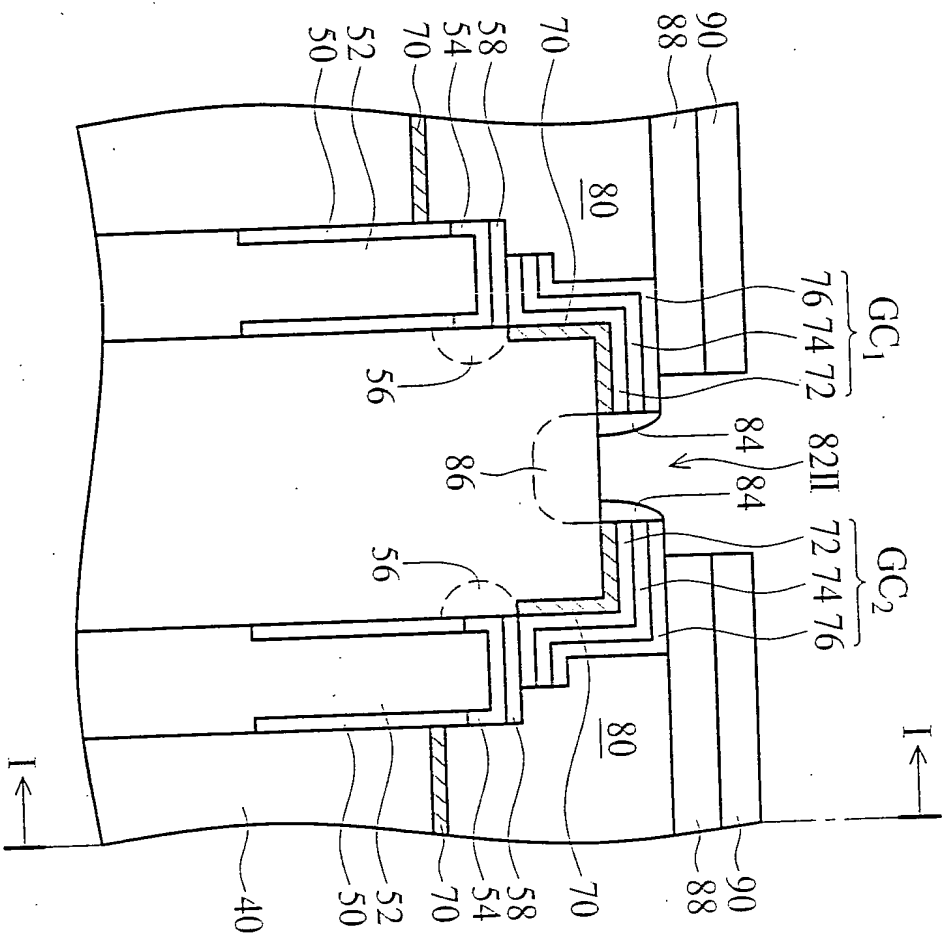




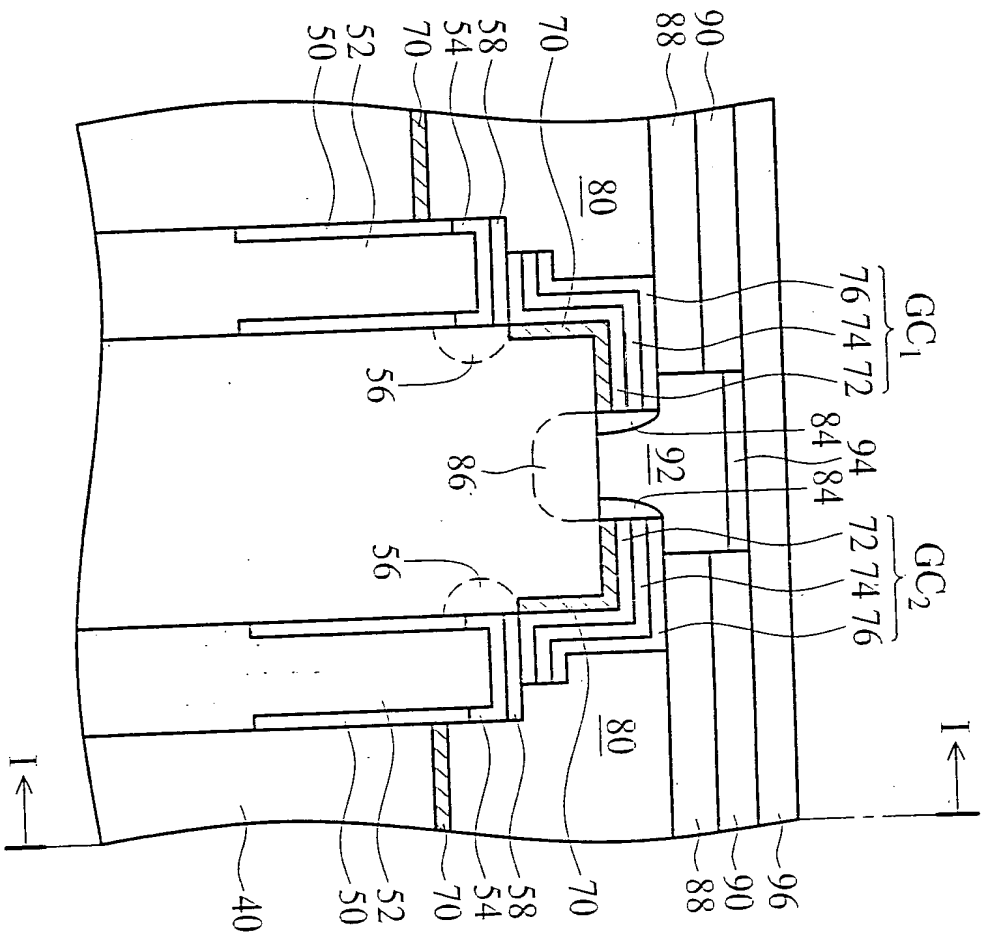






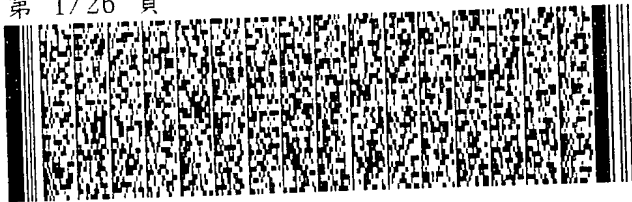


第7K圖

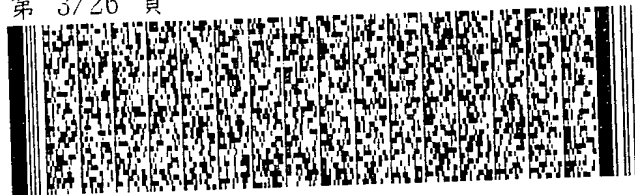


第7L圖

第 1/26 頁



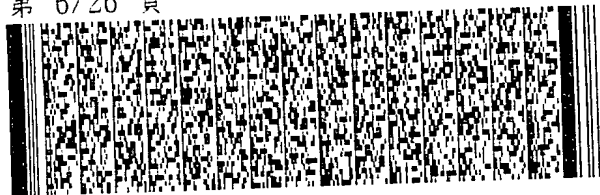
第 3/26 頁



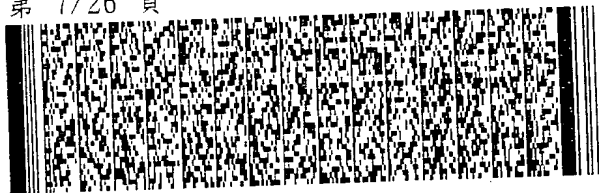
第 5/26 頁



第 6/26 頁



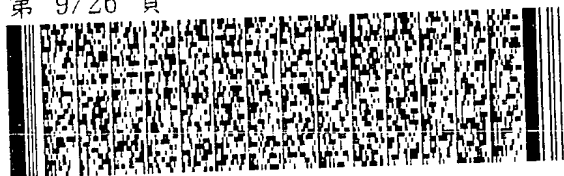
第 7/26 頁



第 8/26 頁



第 9/26 頁



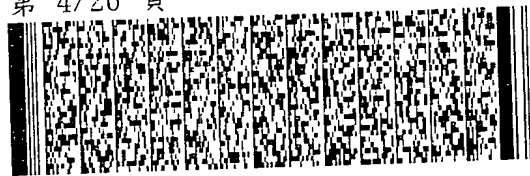
第 10/26 頁



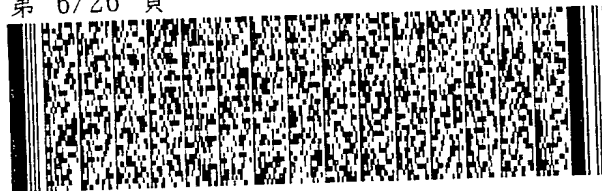
第 2/26 頁



第 4/26 頁



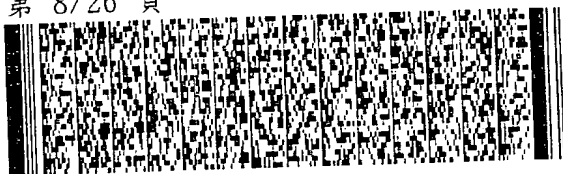
第 6/26 頁



第 7/26 頁



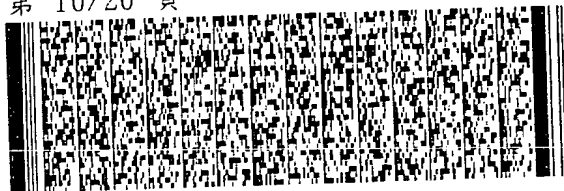
第 8/26 頁



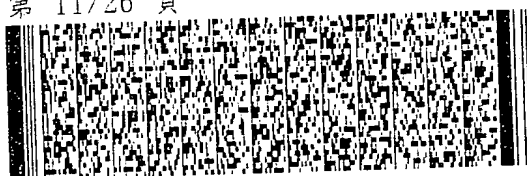
第 9/26 頁



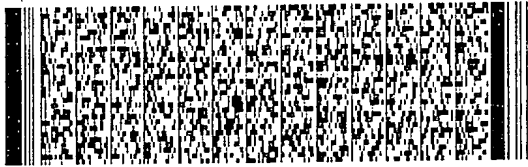
第 10/26 頁



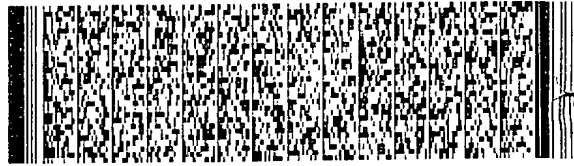
第 11/26 頁



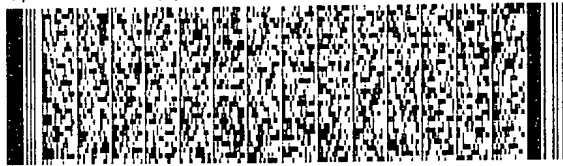
第 11/26 頁



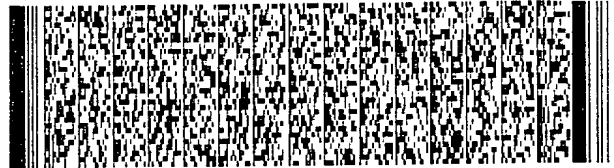
第 12/26 頁



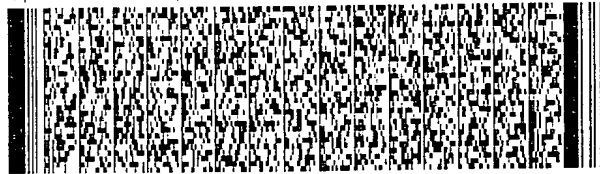
第 12/26 頁



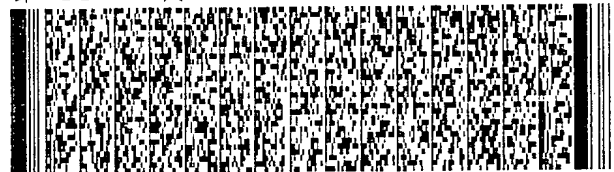
第 13/26 頁



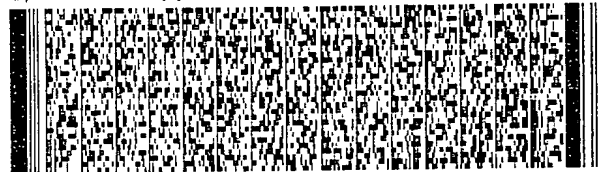
第 13/26 頁



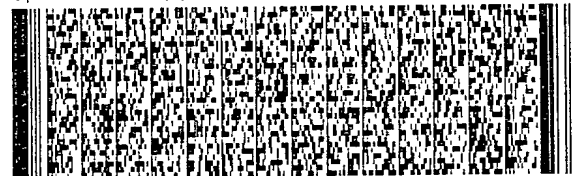
第 14/26 頁



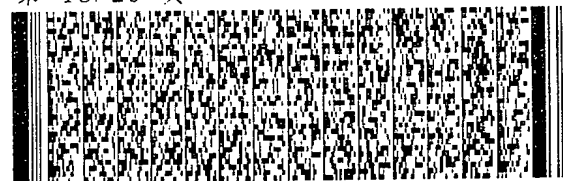
第 14/26 頁



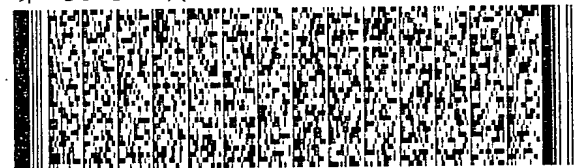
第 15/26 頁



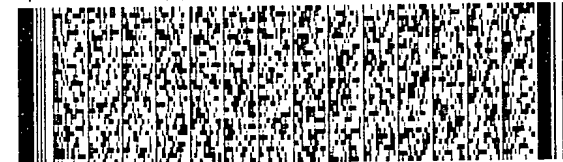
第 15/26 頁



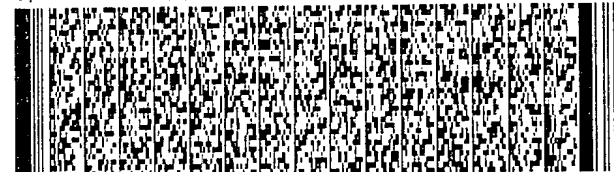
第 16/26 頁



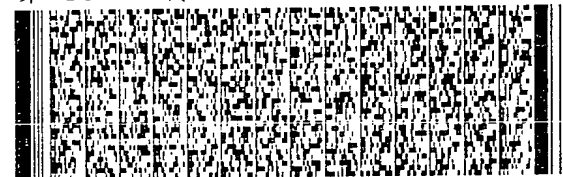
第 16/26 頁



第 17/26 頁



第 18/26 頁



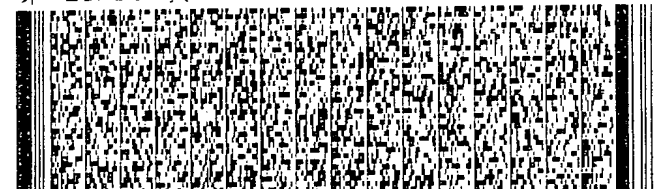
第 19/26 頁



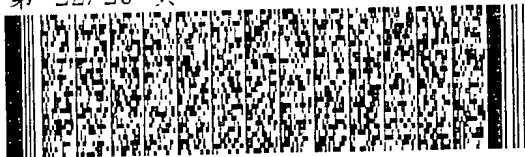
第 20/26 頁



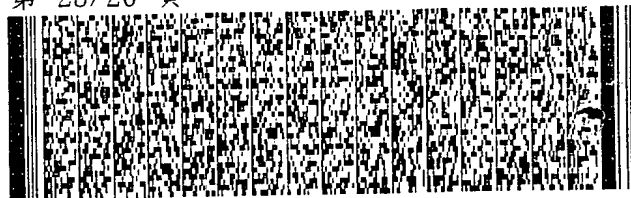
第 21/26 頁



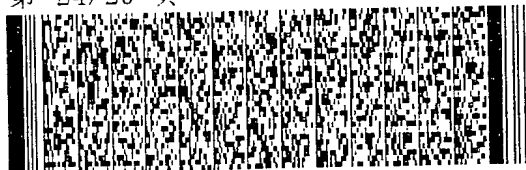
第 22/26 頁



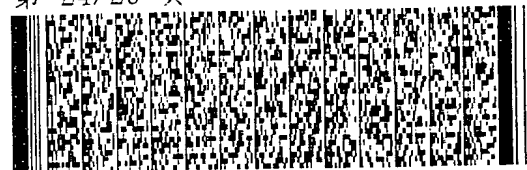
第 23/26 頁



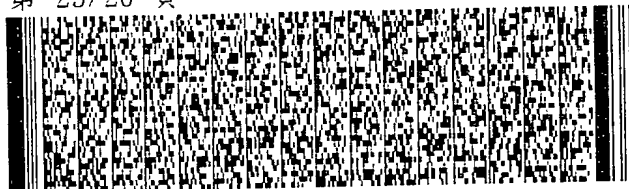
第 24/26 頁



第 24/26 頁



第 25/26 頁



第 26/26 頁

